

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-288455

(43)Date of publication of application : 18.12.1986

(51)Int.Cl.

H01L 25/04

H01L 27/00

(21)Application number : 60-131009

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.06.1985

(72)Inventor : KATO TAKASHI

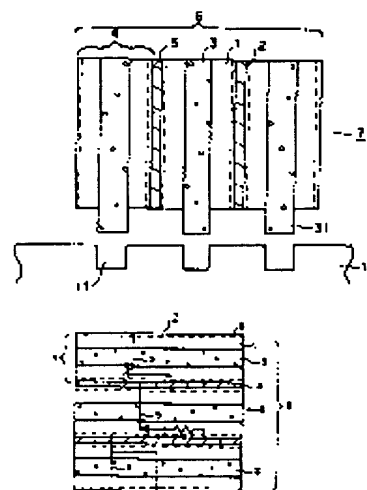
## (54) MANUFACTURE OF MULTILAYER SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To contrive the improvement in heat dissipating efficiency by inserting heat dissipation panels among the chips to enhance a heat dissipating area and projecting the end part of the heat dissipation panel to enhance the heat dissipating area, and further by attaching a heat sink on the side plane of a lamination chip type multilayer semiconductor device.

CONSTITUTION: Elements 2 are formed on one side of a semiconductor wafers 1 and another side of this semiconductor wafer 1 is polished to reduce the thickness. Two of such wafers and a metallic plate 3 composing a dissipation panel are bonded mutually by use of a silver paste or the like, thereby forming a set 4 of the semiconductor wafers 1. Then, plural sets of such semiconductor wafer 1 set 4 are bonded to form a wafer laminated body 6 comprising the multilayer semiconductor device sets. This wafer laminated body 6 is sliced by each set of multilayer semiconductor device so as to form a multilayer semiconductor device chip 7.

If the semiconductor layer 1 and an insulating layer 5 are removed to project the end part 31 of the metallic plate 3, a heat dissipating area is enhance. Also, if a large heat sink 12 is prepared to be fixed to one of the side planes of the above-mentioned semiconductor device, the heat dissipating effect is further improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

②

## 類似技術

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-288455

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)12月18日

H 01 L 25/04  
27/007638-5F  
8122-5F

審査請求 有 発明の数 1 (全6頁)

⑮ 発明の名称 多層半導体装置の製造方法

⑯ 特 願 昭60-131009

⑰ 出 願 昭60(1985)6月17日

⑱ 発 明 者 加 藤 隆 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 松岡 宏四郎

## 明 細 書

## 1. 発明の名称

多層半導体装置の製造方法

## 2. 特許請求の範囲

〔1〕半導体ウェーハ(1)の1面に素子(2)を形成し、

該半導体ウェーハ(1)2を、放熱板を構成する金属板(3)を介して、互いに貼着して該半導体ウェーハ(1)の組(4)を形成し、

該半導体ウェーハ(1)の組(4)の複数個を接合して多層の半導体装置の組を内包するウェーハ積層体(6)を形成し、

該ウェーハ積層体(6)を前記多層の半導体装置の組毎にスライスして多層半導体装置チップ(7)を形成し、

該多層半導体装置チップ(7)の側面に、前記多層半導体装置チップ(7)のそれぞれの層に含まれる素子(2)をもって構成される回路の間に接続される中間接続回路(9)を形成する工程を含むことを特徴とする多層半導体装置の製造方

法。

〔2〕前記ウェーハ積層体(6)を前記多層半導体装置の組毎にスライスして多層半導体装置チップ(7)を形成した後、該多層半導体装置チップ(7)の4の側面(8)の少なくとも1面に、前記多層半導体装置チップ(7)のそれぞれの層に含まれる素子(2)をもって構成される回路の間に接続される中間接続回路(9)を形成し、前記4の側面(8)の少なくとも1面の半導体層(1)と絶縁物層(5)とを除去して前記金属板(3)の端部(31)を残留突出させる工程を含むことを特徴とする特許請求の範囲第1項記載の多層半導体装置の製造方法。

〔3〕前記ウェーハ積層体(6)を前記多層半導体装置の組毎にスライスして多層半導体装置チップ(7)を形成した後、該多層半導体装置チップ(7)の4の側面(8)の少なくとも1面に、前記多層半導体装置チップ(7)のそれぞれの層に含まれる素子(2)をもって構成される回路の間に接続される中間接続回路(9)を形成

特開昭61-288455(2)

し、前記4の側面(8)の1面を、あらかじめ用意しておいたヒートシンク(10)に固着する工程を含むことを特徴とする特許請求の範囲第1項または第2項記載の多層半導体装置の製造方法。

[4] 前記残留突出した金属板(3)の間隔と同一の間隔の複数のスリット(11)を表面に有するヒートシンク(12)をあらかじめ用意しておき、前記残留突出した金属板(3)の端部(31)を前記ヒートシンク(12)のスリット(11)に挿入固着する工程を含むことを特徴とする特許請求の範囲第2項記載の多層半導体装置の製造方法。

### 3. 発明の詳細な説明

#### (概要)

三次元集積回路を実現することを目的として、複数の集積回路の形成された半導体ウェーハの厚さを薄くし、銀ペースト等を使用して、それらを好ましくはそれらの背面を相互に連結して2層の集積回路が1対をなす集積回路の組を作り、これらの集積回路の組を積層して二酸化シリコンを主体とする接着剤等をもって接着し、各集積回路毎

#### (従来の技術)

集積回路の集積度の向上は、従来、パターンを細化することにより、二次元的集積度を向上し、さらにプリント基板の実装技術を改善することにより達成されて来たが、これらの手法には目づと限界がある。

そこで、本出願の発明者は、集積回路チップ自体を積層する積層チップ型多層半導体装置の製造方法を開発して既に特許出願をなしている(特願昭59-80843号)。

これは、第8図に示すように、半導体ウェーハ1の1面に複数の素子2を形成し配線も形成して複数の集積回路となし、集積回路として一応完成した後、上記複数の集積回路がその中に形成されている半導体ウェーハ1の他面を研磨して厚さを50~70 $\mu$ m程度に減し、これらの集積回路の裏面を例えば銀ペーストのような導電性板状体3を介して貼着して2層の集積回路が1対をなす集積回路の組4を作り、これらの集積回路の組4を積層し、接着剤(例えば富士通製の、二酸化シリコ

ンにスライス分割して多層半導体装置チップを形成する多層半導体装置の製造方法の改良であり、上

記二つの半導体ウェーハを銀ペースト等をもって連結する場合、かなりの厚さの金属板を介在させ、これを放熱板として活用するものである。さらに、少なくとも1の側面において半導体層と絶縁物層とを溶解除去してこの金属板を突出させ、外気との接触面を大きくして放射効果を大きくすることができる。また、上記の多層半導体装置の1の側面にヒートシンクを固着すれば、放熱効果が大きくなる。

さらに、上記の突出した金属板と嵌合するスリットを有するヒートシンクを用意しておき、このヒートシンクに上記の突出した金属板を挿入すれば、放熱効果はさらに大きくなる。

#### (産業上の利用分野)

本発明は、多層半導体装置の製造方法の改良に関する。特に、多層半導体装置の放熱効果を向上し電流容量を増大する改良に関する。

ンを主体とする接着剤(例えば富士通製の、二酸化シリコンを主体とする接着剤プロセス等)を使用して接着して、多層の集積回路の組を内包するウェーハ積層体6を製造し、これをスライスして多層半導体装置チップを形成し、その後、この多層半導体装置チップのそれぞれの層に含まれる回路の間に電極配線13をなすものである。

この構造の多層半導体装置は、その寸法特に高さを減少して集積度を向上するには顕著な効果を有する。

#### (発明が解決しようとする問題点)

しかし、単位体積当り発熱量が増加し過熱のおそれがあり、特に、パワートランジスタ等の高発熱体を含ませることが困難であるという欠点がある。

本発明の目的は、この欠点を解消するものであり、上記せる積層チップ型多層半導体装置の製造方法において、放熱効果を向上する改良を提供することにある。

特開昭61-288455(3)

(問題点を解決するための手段)

本発明は、第1図に示すように、積層チップ型多層半導体装置の製造方法において、半導体ウェーハ1の1面に素子2を形成し、この半導体ウェーハ1の他面を研磨してこの半導体ウェーハ1の厚さを減少し、この厚さの減少した半導体ウェーハ1を2個、放熱板を構成する金属板3を銀ペースト等を使用して、互いに貼着してこの半導体ウェーハ1の組4を形成し、この半導体ウェーハ1の組4の複数個を接合して多層の半導体装置の組を内包するウェーハ積層体6を形成し、このウェーハ積層体6を前記の多層の半導体装置の組毎にスライスして多層半導体装置チップ7を形成し、この多層半導体装置チップ7の側面に前記の多層半導体装置チップ7のそれぞれの層に含まれる素子2をもって構成される回路の間に接続される中間接続回路9を形成する工程を含むことを特徴とする。

そして、上記の中間接続回路9は4面には形成せず(3面までは可)、少なくとも1面にお

(実施例)

以下、図面を参照しつつ、本発明の3の実施例に係る多層半導体装置の製造方法についてさらに説明する。

第1例

第2図参照

半導体ウェーハ1の上面に、素子2の組み合わせよりなる集積回路を形成する。このとき、後の工程で側面に形成される回路との接続端子を各集積回路の境界すなわち後の工程においてスライスされる領域に形成しておく必要がある。なお、後の工程でスライスしたとき(100)面が出るように結晶方位を選択しておくことが望ましい。

第3図参照

半導体ウェーハ1の裏面を研磨して厚さを5~70 $\mu$ m程度に減少した後、これらの半導体ウェーハ1の裏面を相互に対向させ、これらの間に厚さが約0.05~1 $\mu$ mのアルミニウム等の金属板3を入れて、例えば銀ペーストを使用して貼着して、半導体ウェーハの組4を形成する。この2工程にお

いて、半導体層1と絶縁物層5を除去して金属板3の端部31を突出させれば、放熱面積が増大する。

また、大きなヒートシンクを用意しておき、上記の側面の1面をこれと固着すれば、さらに放熱効果は良好となる。

さらに、上記の金属板3の端部31が突出している多層半導体装置の端部31と嵌合しうるようなスリット11を有するヒートシンク12を用意しておき、これらを嵌合させれば、やはり放熱効果が良好となる。

(作用)

本発明は、上記せる積層チップ型多層半導体装置において、各チップ間に放熱板を挿入して放熱面積を増大し、また、放熱板の端部を突出させて放熱面積を増加し、さらに、積層チップ型多層半導体装置の側面にヒートシンクを取り付けてさらに放熱効果を大きくしたものである。

いては、ピセン( $C_{22}H_{14}$ )のような熱可塑性接着剤を使用して半導体ウェーハ1をラッピングマシンまたはプレスに支持する必要のあることは周知である。

第4図参照

半導体ウェーハの組4を複数個接合する。この工程は、上記と同様ピセン等の熱可塑性接着剤を使用して半導体ウェーハの組4の一方の面をプレスに接合し、他方の面を例えば二酸化シリコンを主成分とする接着剤(富士通製プロス)等を使用して相互に接合する。換言すれば、2組の半導体ウェーハの組4の間に接着剤を挟んで押圧する。2組の接合が完了したら、一部領域を加熱してプレスの一方と接合している側の熱可塑性接着剤を溶解して、次の半導体ウェーハの組4を積層接合する。接着剤は硬化の後二酸化シリコンを主体とする絶縁物層5となる。この工程により、多層の半導体装置の組を内包するウェーハ積層体6が形成される。

第1図参照

特開昭61-288455(4)

多層の半導体装置の組を内包するウェーハ積層体6を多層の半導体装置の組毎に、すなわち、後の工程で一体の集積回路とされる回路群毎にスライスして、多層半導体装置チップ7を形成する。

スライスによって露出した側面8を研磨して鏡面となし、各層の集積回路の間を有機的に結合する中間接続回路9を、上記の鏡面とされた側面8に形成する。

以上の工程をもって製造された多層集積回路には、大きな放熱板が設けられているので、熱はチップ全面に容易に広がり、チップの一部領域のみが過熱することはなく、放熱効果が良いである。

## 第2例

第5図参照

上記説明せる工程において、多層半導体装置チップ7を形成した後、その側面8の少なくとも1面には、上記と同様、各層の集積回路の間を有機的に結合する中間接続回路9を形成し、他の少なくとも1面からは、放熱板3のみを残して半

き、金属板3と半田が融着する。

以上の工程をもって製造された多層集積回路の放熱板は大きなヒートシンクと固着されているので、放熱効果が極めてよい。

## 第4例

第7図参照

上記説明せる工程において、多層半導体装置チップ7を形成した後、その側面8の少なくとも1面には、上記と同様、各層の集積回路の間を有機的に結合する中間接続回路9を形成し、他の少なくとも1面からは、放熱板3のみを残して半導体層1と絶縁物層5とを除去して放熱板3を残留突出させる。一方、放熱板3の突出した端部31の間隔と同一の間隔の複数のスリット11が形成されているヒートシンク12を用意しておき、上記の端部31をスリット11に挿入すればよい。

以上の工程をもって製造された多層集積回路の放熱板は、大きなヒートシンクに設けられたスリットの中に植え込まれているので、放熱効果が極めてよい。

導体層1と絶縁物層5とを除去して放熱板3を残留突出させる。この工程には、半導体チップの組の厚さは100 $\mu$ m以上あるので、カッタをもって機械的にカットすることも可能であり、また、放熱板3をモリブデン等をもって製作すれば、過塩素酸とリン酸との混合液をもってシリコン層1を、また、フッ酸溶液をもって二酸化シリコン層5を溶解することにより実行しうる。

以上の工程をもって製造された多層集積回路の放熱板は、その端部31が空中に突出しており、大きな接触面積をもって空気と接触しているので、放熱効果が良好である。

## 第3例

第6図参照

上記説明せる工程において、多層半導体装置チップ7を形成した後、その側面8の少なくとも1面には、上記と同様、各層の集積回路の間を有機的に結合する中間接続回路9を形成し、他の1面を、あらかじめ用意しておいたヒートシンク10に半田付け等の手法をもって固着する。このと

## 第5例

第9図参照

例3、4で形成されたヒートシンクを有する次元チップは、第9図に示した毎くパッケージに封入される。ヒートシンクに立てられた3次元チップはパッシベーション膜(ポリイミド系)で被覆された後ボンディングパッドを出してこれに出力ピンを接続する3次元パッケージを行なう。

## (発明の効果)

以上説明せるとおり、本発明によれば、上記せる積層チップ型多層半導体装置において、各チップ間に放熱板を挿入して放熱面積を増大し、また、放熱板の端部を突出させて放熱面積を増加し、さらに、積層チップ型多層半導体装置の側面にヒートシンクを取り付けてさらに放熱効果を大きくされているので、放熱効果の大きな積層チップ型多層半導体装置を提供することができる。

## 4. 図面の簡単な説明

第1図は、本発明に係る、多層半導体装置の製造

特開昭61-288455(5)

方法を実施して製造した多層集積回路の側面図である。

第2～4図は、本発明の一実施例に係る多層半導体装置の製造方法の主要工程完了後の側面図である。

第5図は、本発明の他の実施例に係る多層半導体装置の製造方法の工程説明図である。

第6図は、本発明のさらに他の実施例に係る多層半導体装置の製造方法の工程説明図である。

第7図は、本発明の第4の実施例に係る多層半導体装置の製造方法の工程説明図である。

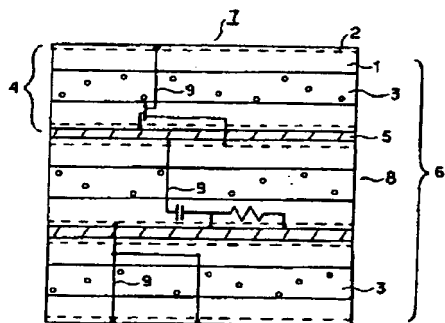
第8図は、従来技術に係る多層半導体装置の製造方法の工程説明図である。

第9(a)、(b)図は、本発明の第5の実施例に係る多層半導体装置の製造方法の工程説明図である。

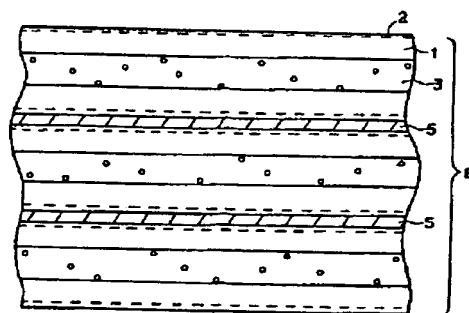
1・・・半導体ウェーハ、 2・・・素子、  
3・・・金属板（放熱板）、 31・・・金属板（放熱板）の端部、 4・・・半導体ウェーハの組、  
5・・・絶縁物層、 6・・・多層の

半導体装置の組を内包するウェーハ積層体、  
7・・・多層半導体装置チップ、 8・・・多層半導体装置チップの側面、 9・・・中間接続回路、  
10・・・ヒートシンク、 11・・・スリット、 12・・・ヒートシンク、 13・・・配線。

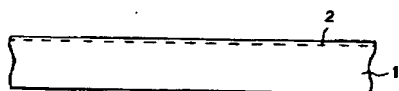
代理人 弁理士 松岡安四郎



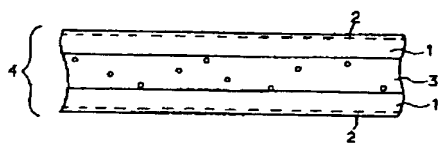
本発明  
第1図



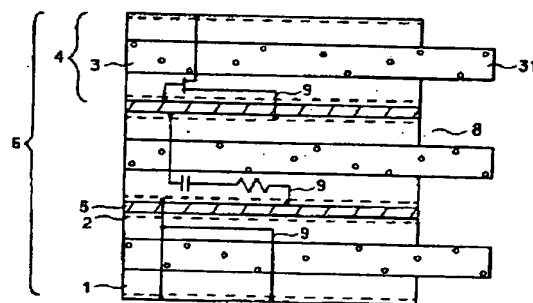
工程図  
第4図



工程図  
第2図

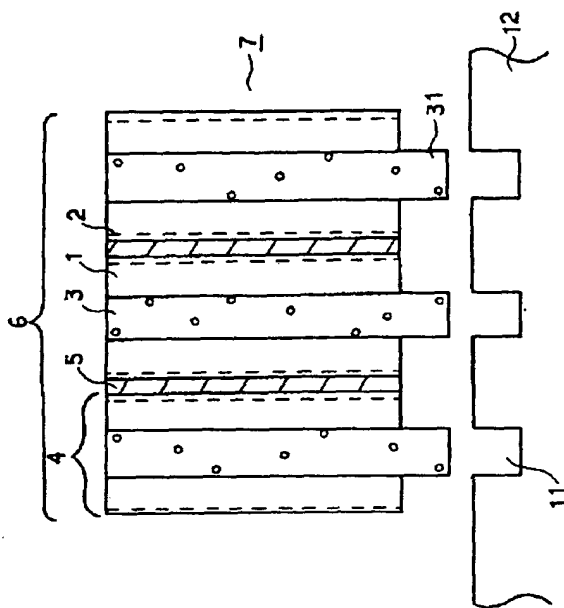


工程図  
第3図

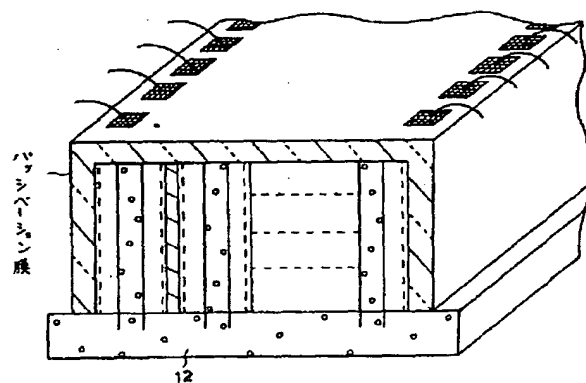
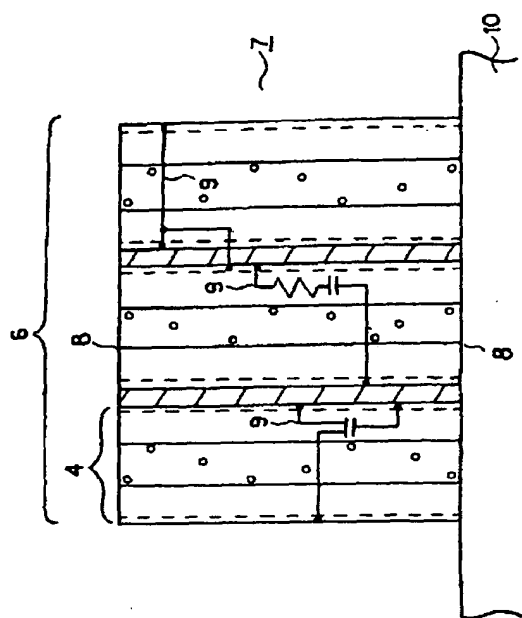


他の実施例  
第5図

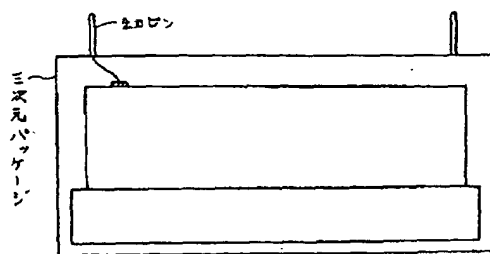
第4の実施例  
第7図



第3の実施例  
第6図



第9(a)図



第5の実施例

第9(b)図

従来技術

第8図

